



特 許 願

昭和49年7月1日

特許庁長官 齊藤英雄殿

1. 発明の名称： 遅延線

2. 発明者：

住 所 埼玉県入間郡鶴ヶ島町下新田621
氏 名 亀谷 一雄

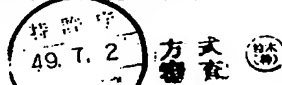
3. 特許出願人：

住 所 東京都大田区東雪谷2丁目1番17号
名 称 (308) 東光株式会社
代表者 岡田 達

4. 代理人：

〒151
住 所 東京都渋谷区代々木2-24-9
戒仙ビル 電話370-2344番
氏 名 (6786) 弁理士 山元 俊仁

49-075128



方式 特許

明 細 書

1. 発明の名称：

遅延線

2. 特許請求の範囲：

複数のインダクタンス素子を2列(A列とB列)に分け、各列のインダクタンス素子を直線的かつA列とB列を平行に配列し、各列のインダクタンス素子間は夫々相互に負の結合を有するように巻線され、インダクタンス素子間の接続は、A列のインダクタンス素子とB列のインダクタンス素子とを順次交互にジグザグ状に接続され、かつ各インダクタンス巻線の途中からタップを取り出してキャパシターを接続して成る遅延線。

3. 発明の詳細な説明：

本発明は、小型でかつ高性能の多区間格子型遅延線を提供できるものである。

従来の多区間格子型遅延線を構成する回路網の中間の4区間の各インダクタンス素子1の図中

① 日本国特許庁

公開特許公報

① 特開昭 51-3836

④ 公開日 昭51.(1976) 1.13

② 特願昭 49-75128

② 出願日 昭49.(1974) 7./

審査請求 未請求 (全4頁)

庁内整理番号

6419 53

⑤ 日本分類

98(3)A8

⑤ Int.Cl²

H03H 7/30

の向き即ち a_1 及び a_2 の向きを第2図(イ)で示し、第2図(ロ)で各インダクタンス素子1の平面配座を示している。第2図から明らかなるように、インダクタンス素子1は2列(いまA列とB列とする)と分け直線的かつ平行に配列され、A列のインダクタンス素子1と隣接するA列のインダクタンス素子1とは、 $2x$ の距離をおき、A列のインダクタンス素子1とB列のインダクタンス素子1とは y の距離がおかれている。そして各列のインダクタンス素子1間では負の結合となるように巻線され、かつA列のインダクタンス素子1とB列のインダクタンス素子1とを順次交互にジグザグ状に接続されている。いま1次結合 a_1 の大きさを決定するインダクタンス素子1間の距離は $\sqrt{x^2 + y^2}$ となり、2次結合 a_2 の大きさを決定するインダクタンス素子1間の距離は $2x$ となる。したがって、 x と y とを調整することによって、目的の大きさの結合を得ることができる。また、インダクタンス素子1の巻線方向を接続順は前述のとおりであるから、1次結合 a_1 は常に正、2次結合 a_2 は常に負

BEST AVAILABLE COPY

となっている。したがって、前述した x 、 r の所望の結合を得るための調整も容易である。

しかしながら、ドラム型フライト・コアに巻線したインダクタンス素子1を使用した従来例では、インダクタンス素子1の外部への漏洩磁束も低く、2つの前記コアを相互に接触させた状態においても、1次結合 a_1 は0.1前後の値しか得られず、求める結合値が得られにくい。なお、遅延線において、1次結合 a_1 が0.167であるのが最適とされている。

一方、インダクタンス素子1の外部への漏洩磁束を大きくしたコア形状とすれば、巻線が増え、巻線の Q が低下する。また、前述の x を固定して r を可変して1次結合 a_1 を調整しようとしても、漏洩磁束の比較的小さいドラム型コアでは、 r を極めて1次結合 a_1 を増加させると、2次結合 a_2 として結合していた磁束が1次結合 a_1 に吸収されて大きく減少する。したがって、1次結合 a_1 、2次結合 a_2 を最適にすることは極めて困難であった。

本発明は、上述した従来例の問題を解決できる

とB列のインダクタンス素子3との正の1次結合係数を k_2 とし、各列のインダクタンス素子3間の負の2次結合係数を k_3 とする。そして、第1図の1次相互インダクタンス a_1L 、2次相互インダクタンス a_2L とを等価して求めた a_1 、 a_2 は

$$a_1 = \frac{k_1 r + k_2 + k_3 r^2 - k_3 r}{1 + 2k_3 r + r^2} \dots (1) \text{ただし } r = \frac{L_2}{L_1} \leq 1$$

$$a_2 = \frac{k_3 r - k_2 - k_3 r^2}{1 + 2k_3 r + r^2} \dots (2)$$

となる。(1)式及び(2)式から明らかなように、 a_1 及び a_2 を決定する要素は、 r 、 k_1 、 k_2 、及び k_3 である。しかし、 k_1 はインダクタンス素子3の構造によって決定されるので a_1 及び a_2 は r 、 k_2 及び k_3 で決定される。

1次結合係数 a_1 は、その値が比較的大きく、そのバフヤが遅延線特性に及ぼす影響が大きい。そこで遅延線構成上安速に1次結合係数 a_1 が求められるように、コイル巻線のタップ位置で前記 a_1 を略決定し、結合係数が小さい2次結合係数 a_2 は、

ものである。第2図は本発明の一実施例に係る回路図の中間の4区間における磁束 ϕ の向き(第3図(f))と平面配座(第3図(h))を示している。

本発明は複数のインダクタンス素子3を2列(A列とB列とする)に分け、各列のインダクタンス素子3を直線的かつ平行に配列し、各列のインダクタンス素子3の間は、夫々相互に負の結合を得られるように、更にA列のインダクタンス素子3とB列のインダクタンス素子3との間では正の結合が得られるよう巻線し、かつインダクタンス素子3間の接続は、A列のインダクタンス素子とB列のインダクタンス素子とを順次交互にジグザグ状に接続する。更に、各インダクタンス素子3のコイル巻線の途中にタップを取り、そのタップにキャパシター4の一方のリードを接続し、他方のリードは接地されている。このように構成すると、各インダクタンス素子3の巻線始めからタップまでのインダクタンス L_1 、タップから巻線終りまでのインダクタンス L_2 とし、 L_1 と L_2 との結合係数を k_1 とする。また、A列のインダクタンス素子3

各列のインダクタンス素子3間の距離及びA列とB列との距離とを適度調整してコア間の結合で求められる。

また、第4図(f)に示す如く、すべてのインダクタンス素子3のコイル巻線方向を同じくして磁束 ϕ を同じ方向にしてもよく、この場合、その他の要件を前述通りになると

$$a_1 = \frac{k_1 r - k_2 - k_3 r^2 - k_3 r}{1 - 2k_3 r + r^2} \dots (3)$$

$$a_2 = \frac{-k_3 r - k_2 - k_3 r^2}{1 - 2k_3 r + r^2} \dots (4)$$

となる。(3)、(4)式は、(1)、(2)式の k_2 についての項を負に変えたもので、(3)、(4)式は(1)、(2)式より a_1 及び a_2 の値を負にする傾向が強い。しかし、(3)式における $k_1 r$ は、インダクタンス素子3のコイル巻線に設けられたタップ位置によって大幅に調整できるので、 a_1 を所望の値に容易にできる。(4)式は、 k_2 と k_3 に関する項が負であるので、所望の値の a_2 を得ることができる。

本発明に係る遅延線では相隣れるA列のインダクタンス素子3とB列のインダクタンス素子3との結合係数 k_1 が a_1 の値に及ばず効果は補助的であるので、第5図に示すようにA列のインダクタンス素子3とB列のインダクタンス素子3とを対向させて配置させても、隣接区間相互のマッチングを大きく阻害することにはならない。

なお、本発明の詳細な説明中では、インダクタンス素子3の軸は、その取付基板に対して垂直の状態で構成された遅延線について説明したが、取付基板に対して平行あるいは傾斜した状態であっても本発明を構成できることはいうまでもない。

以上説明したように、本発明に係る遅延線は、インダクタンス素子3の配置についての自由度が高く、したがって端子間隔の標準化に達し、小型化に寄与できる。

4. 図面の簡単な説明：

第1図は従来の遅延線の等価回路図、第2図(イ)は従来の遅延線の具体的構成図、第2図(ロ)は第2

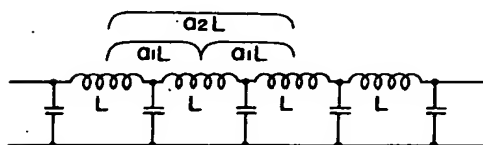
特開 昭51-3836 (3)

図(イ)の平面図である。第3図(イ)は本発明に係る遅延線の一実施例の具体的構成図、第3図(ロ)は第3図(イ)の平面図、第4図(イ)は本発明に係る遅延線の他の実施例の具体的構成図、第4図(ロ)は第4図(イ)の平面図、第5図は本発明に係る遅延線の他の実施例の平面図である。

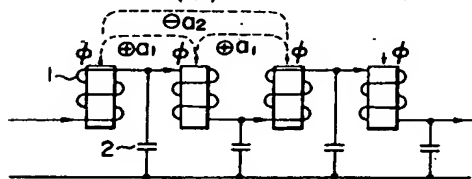
なお、図中2は従来の遅延線におけるインダクタンス素子間に接続されるキャパシターである。

代理人 弁理士 山 元 俊 仁

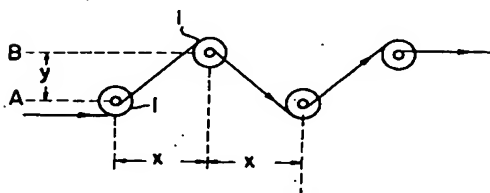
第 1 図



第 2 図
(イ)

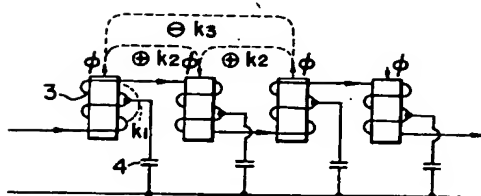


(ロ)

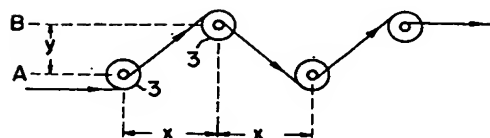


第 3 図

(イ)

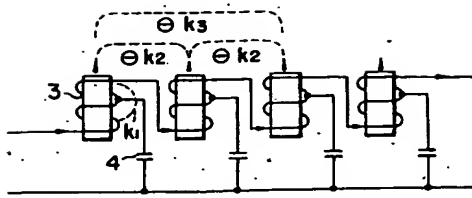


(ロ)

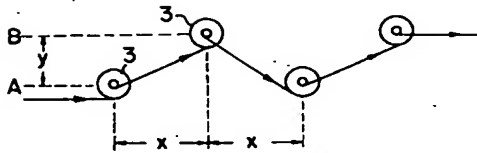


第 4 図

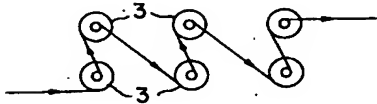
(イ)



(ロ)



第 5 図



手 続 補 正 書

昭和 4 9 年 8 月 2 日

特許庁長官 齊 藤 英 雄 殿

1. 事件の表示： 特願 昭 4 9 - 7 5 1, 2 8 号

2. 発明の名称： 遅 延 線

3. 補正をする者：

事件との関係 特許出願人

名 称 東光株式会社

4. 代 理 人：

〒151
住 所 東京都渋谷区代々木 2-24-9
戒仙ビル 電話 370-2344 番

氏 名 (6786) 弁理士 山 元 俊 仁

5. 補正命令の日付： 自 発

6. 補正の対象：

願書の発明者の氏名（フリガナ）の欄お
よび明細書の発明の詳細な説明



特開 昭51-3836(4)

5. 添附書類の目録：

(1) 明 細 書	1 通
(2) 図 面	1 通
(3) 委 任 状	1 通
(4) 願 書 副 本	1 通

7. 補正の内容：

(1) 願書に発明者の氏名の「フリガナ」として「カメタニカズオ」とあるのを別紙訂正願書におけるごとく「カメヤカズオ」と訂正する。

(2) 明細書第 4 頁 1 行目の「第 2 図」を「第 3 図」と訂正する。

(3) 同第 5 頁 6 行目の「ただし $r = \frac{L_2}{L_1} \leq 1$ 」を「ただし $r = \frac{L_2}{L_1} \leq 1$ 」と訂正する。

8. 添附書類の目録：

訂正願書	1 通
------	-----